

#2
Priority
Proper
RABep
3/29/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Kim, et. al.
Filing Date: Herewith
Title: SEMICONDUCTOR DEVICE HAVING SELF-ALIGNED CONTACT
AND FABRICATING METHOD THEREFOR

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.10

"Express Mail" Mailing Label Number EL681163405US I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated below and is addressed to BOX PATENT APPLICATION, Assistant Commissioner for Patents, Washington, DC 20231.

December 6, 2000
Date

Lizbeth M. Sumner
Lizabeth M. Sumner

36670 U.S. PTO
08/731385
12/06/00

BOX PATENT APPLICATION
Assistant Commissioner for Patents
Washington, DC 20231

TRANSMITTAL LETTER

Sir:

Enclosed herewith for filing in the above-identified patent application please find the following listed items:

1. New Application Transmittal;
2. New Patent Application;
3. Executed Declaration, Petition and Power of Attorney;
4. Eleven (11) Pages of Formal Drawings;
5. Certified Copy of Priority Document - Korean Application No. 99-55204
6. Check in the amount of \$710.00 to cover requisite fee;
7. Assignment Recordation Form Cover Sheet - - PTO-1595;
8. Executed Assignment;
9. Check in the amount of \$40.00 to cover assignment recordation fee; and
10. Return Postcard.

In connection with the foregoing matter, please charge any additional fees which may be due, or credit any overpayment, to Deposit Account Number 19-0079. A duplicate copy of this letter is provided for this purpose.

Respectfully submitted,

Date: December 6, 2000
Samuels, Gauthier & Stevens, LLP
225 Franklin Street, Suite 3300
Boston, MA 02110
Telephone: (617) 426-9180, Ext. 149
Facsimile: (617) 426-2275

Steven M. Mills
Steven M. Mills
Registration Number 36,610
Attorney for Applicant

JCE70 U.S. PTO
09/731385



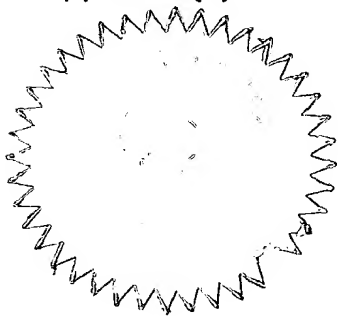
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 1999년 제 55204 호
Application Number

출원 년 월 일 : 1999년 12월 06일
Date of Application

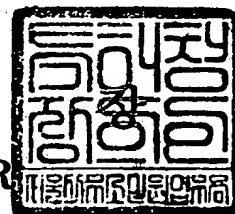
출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 01 월 04 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	1999. 12. 06
【국제특허분류】	H01L
【발명의 명칭】	자기정합 콘택을 갖는 반도체장치 및 그 제조방법
【발명의 영문명칭】	Semiconductor device having a self-aligned contact and fabricating method therefor
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	곽덕영
【대리인코드】	9-1998-000630-5
【포괄위임등록번호】	1999-009616-8
【발명자】	
【성명의 국문표기】	김명철
【성명의 영문표기】	KIM, Myeong Cheol
【주민등록번호】	680918-1268324
【우편번호】	442-374
【주소】	경기도 수원시 팔달구 매탄4동 현대아파트 105동 1303호
【국적】	KR
【발명자】	
【성명의 국문표기】	남병윤
【성명의 영문표기】	NAM, Byeong Yun

【주민등록번호】	630319-1772921
【우편번호】	442-370
【주소】	경기도 수원시 팔달구 매탄동 주공5단지 514동 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	민경진
【성명의 영문표기】	MIN, Gyung Jin
【주민등록번호】	640515-1357340
【우편번호】	133-751
【주소】	서울특별시 성동구 금호동3가 1331 두산아파트 115동 709호
【국적】	KR
【발명자】	
【성명의 국문표기】	안태혁
【성명의 영문표기】	AHN, Tae Hyuk
【주민등록번호】	621017-1674523
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산 24번지 삼익아파트 102동 802호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인) 대리인 곽덕영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	12 면 12,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	23 항 845,000 원
【합계】	886,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

자기정합 콘택을 구비하는 반도체 장치 및 그 제조방법에 대해 기재되어 있다. 그 반도체 장치는, 반도체기판 상에, 도전층 및 마스크층이 차례로 적층, 패터닝되어 형성된 도전층 패턴들과, 도전층 패턴들 사이를 매립하되, 도전층 패턴의 일부를 노출시키도록 형성된 제1 절연막과, 제1 절연막에 의해 노출된 도전층 패턴의 측면을 감싸는 스페이서 모양의 제2 절연막, 및 제1 절연막을 관통하여 도전층 패턴들 사이의 반도체기판과 접속되고, 제2 절연막에 자기정합된 콘택으로 이루어진다.

【대표도】

도 1

【명세서】

【발명의 명칭】

자기정합 콘택을 갖는 반도체 장치 및 그 제조방법{Semiconductor device having a self-aligned contact and fabricating method therefor}

【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 의한 자기정합 콘택을 갖는 반도체 장치를 도시한 단면도이다.

도 2는 본 발명의 제2 실시예에 의한 자기정합 콘택을 갖는 반도체 장치를 도시한 단면도이다.

도 3은 본 발명의 제3 실시예에 의한 자기정합 콘택을 갖는 반도체 장치를 도시한 단면도이다.

도 4는 본 발명의 제4 실시예에 의한 자기정합 콘택을 갖는 반도체 장치를 도시한 단면도이다.

도 5는 본 발명의 제5 실시예에 의한 자기정합 콘택을 갖는 반도체 장치를 도시한 단면도이다.

도 6a 내지 도 6f는 본 발명의 제1 실시예에 의한 자기정합 콘택을 갖는 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도 7a 내지 도 7c는 본 발명의 제2 실시예에 의한 자기정합 콘택을 갖는 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도 8a 내지 도 8c는 본 발명의 제3 실시예에 의한 자기정합 콘택을 갖는 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도 9a 및 도 9b는 본 발명의 제4 실시예에 의한 자기정합 콘택을 갖는 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도 10a 및 도 10b는 본 발명의 제5 실시예에 의한 자기정합 콘택을 갖는 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 특히 자기정합 콘택을 갖는 반도체 장치 및 그 제조방법에 관한 것이다.

<12> 최근, 반도체소자의 고집적화에 따라 단위 면적당 메모리 셀이 차지하는 셀 사이즈도 급격히 감소하고 있고, 디램(DRAM)의 경우 셀 사이즈가 $1.5\mu\text{m}^2$ 이하로 줄어들고 있다. 작은 셀 사이즈는 셀을 구성하는 도전층 사이의 간격을 줄임으로써 가능하다. 특히, DRAM에서는 높은 집적도 때문에 게이트전극 사이의 간격이 디자인 룰(design rule)에 따른 최소 피쳐 사이즈(minimum feature size)로 되어가고 있으며, 비트라인과 드레인영역 사이의 콘택(이하, '비트라인 콘택'이라 칭함) 또는 스토리지전극과 소오스영역 사이의 콘택(이하, '스토리지 노드 콘택'이라 칭함)을 형성하기 위한 콘택홀도 최소 피쳐 사이즈 정도로 작아지고 있다.

<13> 한편, 반도체소자가 고집적화 됨에 따라 하부 배선층과 상부 배선층을 연결시키는

콘택홀과 그 주변 배선과의 간격이 감소하고, 또한 상기 콘택홀의 어스펙트비(aspect ratio)가 증가한다. 따라서, 다층 배선구조를 채용하는 고집적 반도체소자에서 사진식각(photolithography) 공정을 이용하여 콘택홀을 형성할 때 원하는 공정을 재현성 있게 실현하는 데 한계가 있다. 그에 따라, 사진공정의 한계를 극복하기 위하여 자기정합 방법으로 콘택홀을 형성하는 자기정합 콘택(Self-Aligned Contact; SAC) 기술이 개발되었다.

<14> SAC 공정의 기본은 라인(line)/스페이스(space)형의 도전층 패턴을 질화막으로 감싼 후 실리콘산화막이 질화막에 비해 빠르게 식각되는 조건으로 실리콘산화막을 식각해 내어 콘택홀을 형성한 다음, 형성된 콘택홀에 도전물질을 증착하는 것이다. 질화막은 반도체이므로 질화막으로 감싸인 라인/스페이스형의 도전층 패턴과 콘택홀 내에 증착된 도전층 사이에 전기적인 단락(short)이 발생하지 않는다.

<15> 그러나, 질화막은 비유전율이 약 7.5 정도로서, 비유전율이 약 3.9 정도인 실리콘산화막으로 라인/스페이스형 도전층 패턴과 콘택홀내 도전층을 절연하는 노말(normal) 콘택공정에 비해 도전층 패턴과 콘택홀내 도전층 사이의 캐패시턴스가 약 2배가 된다. 따라서, 이러한 SAC 공정을 디램의 스토리지 노드 콘택에 적용할 경우, 노말 콘택공정에 비해 $C_{B/L}$ (비트라인 캐패시턴스)이 증가되므로, 셀 캐패시턴스가 감소되는 것과 같은 효과가 되어 결국 데이터 독출 감도가 떨어지게 된다. 로직(Logic) 소자 및 컴퓨터의 중앙처리장치(CPU)의 셀리사이드 공정에서도 게이트로 실리콘질화막 스페이서가 적용되는데, 이 경우 게이트와 게이트 사이의 캐패시턴스가 증가되어 명령어의 전달속도가 저하되는 문제가 발생한다.

<16> 도전층 패턴의 측면에 실리콘질화막과 산화막을 공존시키는 방법으로서, 실

리콘질화막과 실리콘산화막으로 이루어진 이중 스페이서를 형성하는 방법(미국특허 5,899,722호)과, 도전층 패턴의 측면을 열산화시키는 방법(미국특허 5,731,236호) 등이 있다. 이 중, 첫 번째 예의 경우 전체 스페이서가 실리콘산화막으로 이루어진 경우에 비해 캐패시턴스가 크며, 두 번째 예의 경우에는 실리콘산화막의 두께가 100Å 이내이므로 캐패시턴스 감소 효과가 적다.

<17> 또한, 반도체 소자가 고집적화 되고 디자인 룰이 감소함에 따라, 도전층 패턴의 측면에 실리콘질화막 스페이서를 형성한 상태에서 실리콘산화막으로 도전층 패턴들 사이를 매립하는데 한계가 있다. 즉, 도전층 패턴들 사이의 간격이 좁은 상태에서 스페이서용 질화막을 증착하기 때문에, 비트라인 사이에 보이드가 발생하여 산화막으로 완전히 매립 시키기가 어렵다. 또한, 산화막의 두께와 비트라인 사이의 좁은 간격으로 인해 자기정합 콘택홀을 형성하는 공정이 매우 어렵게 된다. 특히 디자인 룰이 0.15 μ m 이하인 초고집적 소자에서는 현재의 증착공정 능력으로 도전층 패턴들 사이를 한 번에 매립하기가 불가능하다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명이 이루고자 하는 기술적 과제는, 도전층 패턴 사이의 갭의 매립이 용이하고, 도전층과 스페이서에 의한 기생 캐패시턴스를 최소화하여 데이터 독출감도 저하 및 소자 동작속도 저하의 원인을 근본적으로 제거할 수 있는 구조의 반도체 소자를 제공하는 것이다.

<19> 본 발명이 이루고자 하는 다른 기술적 과제는, 상기한 구조의 반도체 소자를 제조할 수 있는 적합한 반도체 소자의 자기정합 콘택 형성방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <20> 상기 과제를 이루기 위하여 본 발명에 의한 자기정합 콘택을 구비하는 반도체 소자는, 반도체기판 상에, 도전층 및 마스크층이 차례로 적층, 패터닝되어 형성된 도전층 패턴들과, 상기 도전층 패턴들 사이를 매립하되, 상기 도전층 패턴의 일부를 노출시키도록 형성된 제1 절연막과, 상기 제1 절연막에 의해 노출된 상기 도전층 패턴의 측면을 감싸는 스페이서 모양의 제2 절연막, 및 상기 제1 절연막을 관통하여 상기 도전층 패턴들 사이의 반도체기판과 접속되고, 상기 제2 절연막에 자기정합된 콘택을 구비하는 것을 특징으로 한다.
- <21> 본 발명에 있어서, 상기 제1 절연막은 산화막으로 이루어지고, 상기 제2 절연막은 질화막으로 이루어진 것이 바람직하다. 그리고, 상기 도전층 패턴과 상기 제1 및 제2 절연막 사이에, 상기 도전층의 식각을 방지하기 위한 제3 절연막을 더 구비할 수도 있다.
- <22> 그리고, 본 발명에 있어서, 상기 도전층 패턴은 비트라인(bit line)이고, 상기 콘택은 스토리지 전극과 반도체기판과 접속된 패드층, 또는 스토리지 전극과 반도체기판을 접속시키는 스토리지 노드 콘택이거나, 상기 도전층 패턴이 게이트전극이고, 상기 콘택은 패드 도전층과 반도체기판을 접속시키는 패드 콘택일 수도 있다.
- <23> 그리고, 상기 도전층 패턴과 상기 제1 및 제2 절연막 사이에, 상기 도전층 패턴을 감싸는 제4 절연막을 더 구비할 수도 있다.
- <24> 상기 다른 기술적 과제를 이루기 위하여 본 발명에 의한 자기정합 콘택을 구비하는 반도체 소자의 제조방법은, (a) 반도체기판 상에 도전층과 마스크층이 적층된 라인/스페이스 형태의 도전층 패턴을 형성하는 단계와, (b) 결과물 상에 제1 절연막을 증착하여

상기 도전층 패턴들 사이를 매립하는 단계와, (c) 상기 제1 절연막을 에치백하여 상기 마스크층의 일부를 노출시키는 단계와, (d) 상기 노출된 마스크층의 측면에 제2 절연막으로 이루어진 스페이서를 형성하는 단계와, (e) 결과물을 덮는 평탄한 제3 절연막을 형성하는 단계와, (f) 상기 제3 절연막 및 제1 절연막을 차례로 이방성 식각하여 상기 반도체기판의 일부를 노출시키는 콘택홀을 형성하는 단계, 및 (g) 상기 콘택홀내에 매립되고 상기 제2 절연막에 자기정합되며, 상기 반도체기판과 접속된 콘택을 형성하는 단계를 포함하는 것을 특징으로 한다.

<25> 본 발명의 상기 (c) 단계에서, 상기 마스크층의 일부가 노출되도록 상기 제1 절연막을 에치백하는 것이 바람직하다. 그리고, 상기 (b) 단계 후에, 상기 제1 절연막의 표면을 평탄화하는 단계를 더 구비할 수도 있다. 상기 제1 절연막은 산화막으로 형성하고, 상기 제2 절연막을 질화막으로 형성하는 것이 바람직하다.

<26> 그리고, 제1 절연막에 대한 에치백시 도전층이 침식될 우려가 있을 경우에는 상기 (b) 단계 전에, 상기 도전층 패턴의 측면에, 상기 제1 절연막을 에치백하는 단계에서 상기 도전층 패턴의 식각을 방지하기 위한 제1 식각방지막을 형성하는 단계를 더 구비하는 것이 바람직하다. 이 때, 상기 제1 식각방지막을 형성하는 단계는, 결과물 상에 제4 절연막을 증착하는 단계, 및 상기 제4 절연막을 이방성식각하여 상기 도전층 패턴의 측면에 스페이서 형태의 제1 식각방지막을 형성하는 단계로 이루어진다. 이 제1 식각방지막은 질화막을 사용하여 50 ~ 200Å 정도의 두께로 형성하는 것이 바람직하다.

<27> 또한, 본 발명에 있어서, 상기 도전층은 비트라인이거나, 게이트전극일 수가 있다. 상기 도전층이 게이트전극일 경우에는, 상기 (b) 단계 전에, 도전층 패턴이 형성된 결과물을 덮는 제2 식각방지막을 형성하는 단계를 더 구비하고, 상기 (g) 단계에서, 상기

제3 및 제1 절연막을 식각한 후에, 노출된 상기 제2 식각방지막을 제거하는 단계를 더 구비하는 것이 바람직하다.

<28> 본 발명에 따르면, 도전층과 SAC 사이의 기생 캐패시턴스를 현저히 감소시킬 수 있고, 소자의 독출능력 등 소자의 동작속도를 증가시킬 수 있다. 또한, 산화막을 증착하여 도전층 패턴들 사이를 매립할 때, 보이드가 발생하지 않고 매립이 용이하게 이루어진다. 또한, 스페이서를 형성하기 전에 도전층 패턴의 측면에 식각방지막을 형성하거나, 노출된 도전층 패턴의 전면을 덮는 식각방지막을 형성하면, 후속되는 산화막 식각공정에서 필드산화막의 침식을 방지할 수 있다.

<29> 이하, 첨부된 도면을 참조하여 본 발명을 더욱 상세히 설명하기로 한다.

<30> 다음에 설명되는 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술되는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당업계에 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되어진 것으로, 도면상의 동일한 부호는 동일한 요소를 지칭한다. 또한, 어떤 층이 다른 층 또는 기판의 '상부'에 있다고 기재된 경우, 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제3의 층이 개재되어질 수도 있다. 특히, 본 발명의 실시예를 설명함에 있어서, 하부 배선층으로 반도체 기판을 예로 들지만 반도체기판 상에 형성된 패드층 또는 하부의 다른 배선층을 상부 배선층과 접속시키기 위한 패드층이 될 수도 있다.

<31> 도 1은 본 발명의 제1 실시예에 의한 자기정합 콘택을 갖는 반도체 장치를 도시한 단면도이다.

- <32> 도 1을 참조하면, 반도체기판(2)(또는 패드층) 상에, 도전층(4) 및 마스크층(6)이 차례로 적층, 패터닝되어 형성된 도전층 패턴들이 라인/스페이스 형태로 형성되어 있다. 그리고, 상기 도전층 패턴들 사이를 매립하되, 상기 도전층 패턴의 일부를 노출시키도록 제1 절연막(8)이 형성되어 있고, 상기 제1 절연막(8) 상에는 노출된 도전층 패턴의 측면을 감싸는 스페이서 모양의 제2 절연막(10)이 형성되어 있다.
- <33> 그 결과물을 덮는 평탄화된 층간절연막(12)이 형성되어 있고, 상기 층간절연막 및 제1 절연막(8)을 관통하여 상기 도전층 패턴들 사이의 반도체기판(2)과 접속되고, 상기 제2 절연막(10)에 자기정합된 상부 도전층(16)이 형성되어 있다.
- <34> 상기 제1 절연막(8)은 질화막에 비해 유전율이 낮은 산화막(SiO_2)으로 이루어지고, 상기 제2 절연막(10)은 질화막으로 이루어져 있다. 특히, 본 발명의 제1 실시예에 있어서, 상기 제1 절연막(8)의 높이가 상기 도전층(4)보다 높게 형성되어 있음을 알 수 있다.
- <35> 도 2는 본 발명의 제2 실시예에 의한 자기정합 콘택을 갖는 반도체 장치를 도시한 단면도로서, 제1 절연막(28)의 높이가 도전층(24)보다 낮게 형성되어 있다. 미설명된 도면 부호 '22'는 반도체기판을, '26'은 마스크층을, '30'은 질화막으로 이루어진 제2 절연막을, '32'는 산화막으로 이루어진 제3 절연막을 '34'는 상부 도전층을 각각 나타낸다.
- <36> 본 발명의 제1 및 제2 실시예에 의한 반도체 소자에 따르면, 도전층 패턴의 측면에 산화막과 질화막이 공존하기 때문에, 질화막만을 구비하는 종래의 반도체 소자에 비해 도전층과 콘택 사이의 기생 캐패시턴스를 현저하게 감소시키면서 자기정합 콘택 구조를 실현할 수 있다.

<37> 도 3은 본 발명의 제3 실시예에 의한 자기정합 콘택을 갖는 반도체 장치를 도시한 단면도로서, 제1 절연막(50)이 도전층(44)보다 낮게 형성되어 있으며, 도전층 패턴의 측면에, 예를 들어 질화막으로 이루어진 식각방지막이 형성되어 있다. 상기 식각방지막(48)은 제1 절연막에 대한 식각공정에서 도전층(44)을 보호하는 역할을 한다. 미설명된 도면부호 '42'는 반도체기판을, '46'은 마스크층을, '52'는 제2 절연막을, '54'는 제3 절연막을, 그리고 '56'은 상부 도전층을 각각 나타낸다.

<38> 본 발명의 제3 실시예에 의한 반도체 소자에 따르면, 제1 절연막을 식각할 때 도전층이 침식되는 것을 방지할 수 있다.

<39> 도 4 및 도 5는 각각 본 발명의 제4 및 제5 실시예에 의한 자기정합 콘택을 갖는 반도체 장치를 도시한 단면도들로서, 본 발명을 패드(pad) SAC 구조에 적용한 구조를 나타낸다. 패드 SAC 구조에 적용할 경우에는 도전층, 즉 게이트전극이 활성영역과 필드산화막에 동시에 접하게 되므로, 자기정합 콘택홀을 형성하기 위한 산화막 식각시 필드산화막이 침식될 수 있다. 그러나, 본 발명의 제4 및 제5 실시예에 따르면, 이 경우에 필드산화막의 침식을 방지할 수 있다.

<40> 도 4에서, 미설명된 도면부호 '62'는 반도체기판을, '64'는 도전층, 즉 게이트전극을, '66'은 마스크층을, '68'은 식각방지막을, '70'은 산화막으로 이루어진 제1 절연막을, '72'는 질화막으로 이루어진 제2 절연막을, '74'는 산화막으로 이루어진 제3 절연막을, 그리고 '76'은 상부 도전층을 각각 나타낸다.

<41> 그리고, 도 5에서, 미설명된 도면부호 '82'는 반도체기판을, '84'는 도전층, 즉 게이트전극을, '86'은 마스크층을, '88'은 식각방지막을, '90'은 산화막으로 이루어진 제1 절연

막을, '92'는 질화막으로 이루어진 제2 절연막을, '94'는 산화막으로 이루어진 제3 절연막을, 그리고 '96'은 상부 도전층을 각각 나타낸다.

<42> 다음은, 본 발명의 자기정합 콘택을 갖는 반도체 소자의 제조방법을 상세히 설명한다.

<43> 도 6a 내지 도 6f는 본 발명의 제1 실시예에 의한 자기정합 콘택을 갖는 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

<44> 도 6a를 참조하면, 반도체기판(2)(또는 패드층) 상에 도전물질을 증착하여 도전층(4)을 형성한 다음, 상기 도전층(4) 위에, 후속되는 자기정합 콘택홀을 형성하기 위한 산화막 식각시 하부의 도전층을 보호할 수 있는 물질, 예를 들어 플라즈마를 이용한 화학기상증착(PECVD) 방법으로 질화막(SiN)을 증착하여 마스크층(6)을 형성한다. 다음, 사진식각 공정을 이용하여 상기 마스크층(6)과 도전층(4)을 차례로 이방성 식각함으로써, 도전층과 마스크층이 차례로 적층, 패터닝되어 이루어진 도전층 패턴을 형성한다.

<45> 도 6b를 참조하면, 결과물의 전면에, CVD 방법을 이용하여 산화막(SiO_2)을 상기 도전층 패턴들 사이의 갭(gap)을 매립할 수 있을 정도의 두께로 증착하여 제1 산화막(8)을 형성한다. 이 때, 상기 도전층 패턴의 측면에 스페이서가 형성되지 않은 상태에서 산화막을 증착하기 때문에 보이드가 발생하지 않고 매립이 용이하게 이루어진다.

<46> 다음에, 화학적 물리적 연마(Chemical Mechanical Polishing; CMP) 공정을 이용하여 상기 제1 산화막(8)을 소정 두께 CMP하여 제1 산화막의 두께를 균일하게 하는 공정을 추가할 수도 있다(점선으로 표시됨). 그러나, 제1 산화막(8)의 증착 두께가 균일할 경우에는 CMP하는 공정을 생략할 수도 있다.

- <47> 도 6c를 참조하면, 산화막 식각액, 예를 들어 불산(HF) 용액을 사용하여 상기 제1 산화막을 습식식각한다. 이 때, 후속되는 SAC 공정시 질화막 스페이서의 수직 소모량이 마스크층(6)의 두께보다 작을 경우, 도식된 바와 같이 상기 제1 산화막(8)을 도전층(4)의 높이보다 높게, 즉 마스크층(6)의 중간부 정도까지만 식각한다.
- <48> 도 6d를 참조하면, 결과물 상에 스페이서용 질화막, 예를 들어 저압 화학기상증착 (Low Pressure CVD; LPCVD) 방법을 사용하여 질화막을 소정 두께 증착한다. 다음에, 상기 질화막을 이방성 식각하여 노출된 마스크층(6)의 측면에 스페이서(10)를 형성한다. 상기 질화막에 대한 이방성 식각은 제1 산화막(8)의 표면이 드러날 때까지 진행하는데, 상기 마스크층(6)도 질화막으로 이루어져 있기 때문에 마스크층의 일부가 식각될 수도 있으나 무방하다.
- <49> 도 6e를 참조하면, 스페이서(10)가 형성된 결과물의 전면에 산화막을 재차 증착하여 제2 산화막(12)을 형성한다. 다음에, 상기 제2 산화막(12)에 대해 CMP를 실시하여 그 표면을 평탄화하여 후속되는 콘택홀 형성 공정을 용이하게 한다. 이어서, 평탄화된 상기 제2 산화막(12) 상에, 사진공정을 실시하여 콘택홀이 형성될 영역을 노출시키는 포토 레지스트 패턴(14)을 형성한다.
- <50> 도 6f를 참조하면, 상기 포토레지스트 패턴과 스페이서(10)를 마스크로 사용하여 제2 산화막(12)과 제1 산화막(8)을 차례로 이방성 식각함으로써, 도전층 패턴들 사이의 반도체기판(2)을 노출시키는 콘택홀을 형성한다. 상기 도전층 패턴(4+6)들 사이의 제1 산화막(8)에 대한 이방성 식각은 마스크층(6) 및 마스크층의 측면에 형성된 스페이서(10)를 마스크로 하여 자기정합적으로 이루어진다. 다음에, 결과물 상에 도전물질을 증착하여 상기 반도체기판과 접속된 상부 도전층(16)을 형성한다.

- <51> 상기 도전층(4)과 상부 도전층(16) 사이에는 비교적 유전율이 낮은 산화막(8)이 존재하기 때문에, 질화막 스페이서가 존재하는 종래의 구조에 비해 기생 캐패시턴스를 감소시킬 수 있다.
- <52> 따라서, 본 발명의 제1 실시예에 의하면, 자기정합 콘택 구조를 실현하면서도 도전층과 콘택 사이의 기생 캐패시턴스를 현저하게 감소시킬 수 있다. 또한, 산화막을 증착하여 도전층 패턴들 사이를 매립할 때에도, 도전층 패턴의 측면에 스페이서가 형성되지 않은 상태에서 산화막을 증착하기 때문에 보이드가 발생하지 않고 매립을 용이하게 할 수 있다.
- <53> 도 7a 내지 도 7c는 본 발명의 제2 실시예에 의한 자기정합 콘택을 갖는 반도체 장치의 제조방법을 설명하기 위한 단면도들로서, 자기정합 콘택홀 형성시 질화막 스페이서의 수직 소모량이 마스크층의 두께보다 클 경우를 제시한다.
- <54> 도 7a를 참조하면, 제1 실시예와 같은 방법으로 반도체기판(22) 상에 도전층(24)과 마스크층(26)이 차례로 적층, 패턴닝되어 이루어진 도전층 패턴을 형성하고, 결과물의 전면에 제1 산화막(28)을 증착한다. 다음에, 상기 제1 산화막(28)을 습식식각하는데, 제1 실시예와는 다르게 도전층(24)의 높이보다 낮아지도록, 즉 도전층(24)의 상부가 드러나도록 제1 산화막(28)을 식각한다.
- <55> 도 7b를 참조하면, 결과물 상에 LPCVD 질화막을 증착한 다음 이방성 식각을 실시하여 마스크층(26) 및 노출된 도전층(24)의 상부 측면에 스페이서(30)를 형성한다. 제1 실시예와는 다르게 스페이서(30)의 높이가 마스크층(26)의 높이보다 크게 형성된다.
- <56> 도 7c를 참조하면, 스페이서(30)가 형성된 결과물의 전면에 제2 산화막(32)을 증착

한 다음, 그 표면을 평탄화하고, 사진공정을 실시하여 콘택홀이 형성될 영역을 한정한다. 다음에, 한정된 영역의 제2 산화막(32) 및 제1 산화막(28)을 차례로 이방성 식각함으로써, 반도체기판을 노출시키며 상기 스페이서(30)에 자기정합된 콘택홀을 형성한다. 다음, 상기 콘택홀을 채우며 반도체기판(22)과 접속된 상부 도전층(34)을 형성한다.

<57> 도 8a 내지 도 8c는 본 발명의 제3 실시예에 의한 자기정합 콘택을 갖는 반도체 장치의 제조방법을 설명하기 위한 단면도들로서, 질화막 스페이서의 수직 소모량이 마스크층의 두께보다 크고, 도전층이 산화막 식각액에 의해 침식되는 물질로 이루어진 경우를 제시한다.

<58> 도 8a를 참조하면, 반도체기판(42) 상에 도전층(44)과 마스크층(46)으로 이루어진 도전층 패턴을 형성한 다음, 결과물 상에 질화막을 50 ~ 200Å 정도, 바람직하게는 150Å 정도의 두께로 증착한 다음 이방성 식각하여, 후속 산화막을 습식식각하는 공정에서 도전층(44)이 침식되는 것을 방지하는 식각방지막(48)을 형성한다.

<59> 도 8b를 참조하면, 식각방지막이 형성된 결과물 상에 제1 산화막을 증착한 후 습식 식각하여 도전층(44)보다 낮은 높이의 제1 산화막(50)을 형성한다.

<60> 상기 도전층(44)이, 예를 들어 텅스텐 실리사이드(WSi)와 같이 산화막 식각액에 의해 침식될 수 있는 물질로 이루어졌다 하더라도, 도전층(44)의 측면에는 식각방지막(48)이 형성되어 있기 때문에 상기 제1 산화막(50)에 대한 습식식각시 도전층(44)의 침식이 일어나지 않는다.

<61> 도 8c를 참조하면, 결과물 상에 LPCVD 질화막을 증착한 다음 이방성 식각을 실시하

여 마스크층(46) 및 도전층(44)의 상부 측면에 스페이서(52)를 형성한다. 다음, 스페이서(52)가 형성된 결과물의 전면에 제2 산화막(54)을 증착한 다음, 그 표면을 평탄화하고, 사진공정을 실시하여 콘택홀이 형성될 영역을 한정한다. 다음에, 한정된 영역의 제2 산화막(54) 및 제1 산화막(50)을 차례로 이방성 식각함으로써 반도체기판을 노출시키며 상기 스페이서(52)에 자기정합된 콘택홀을 형성한다.

<62> 본 발명의 제3 실시예에 의하면, 도전층(44)이 산화막 식각액에 의해 침식될 수 있는 물질로 이루어져도, 도전층(44)의 측면에 형성된 식각방지막(48)에 의해 보호되므로 제1 산화막(50)에 대한 습식식각시 도전층(44)의 침식이 일어나지 않는다.

<63> 도 9a 및 도 9b는 본 발명의 제4 실시예에 의한 자기정합 콘택을 갖는 반도체장치의 제조방법을 설명하기 위한 단면도들로서, 본 발명을 패드(pad) SAC 공정에 적용할 경우를 제시한다. 패드 SAC 공정에 적용할 경우에는 도전층, 즉 게이트전극이 활성영역과 필드산화막에 동시에 접하게 되므로, 자기정합 콘택홀을 형성하기 위한 산화막 식각시 필드산화막이 침식될 수 있다. 본 발명의 제4 실시예는 이 경우에 필드산화막의 침식을 방지할 수 있는 방법을 제시한다.

<64> 도 9a를 참조하면, 반도체기판(62) 상에 도전층(64) 및 마스크층(66)으로 이루어진 도전층 패턴을 형성한 다음, 결과물의 전면에 산화막에 대해 식각선택비가 큰 물질, 예를 들어 질화막을 50 ~ 200Å 정도의 두께로 증착하여 필드산화막의 침식을 방지하기 위한 식각방지막(68)을 형성한다. 다음에, 결과물의 전면에 산화막을 증착한 다음 습식 식각하여 제1 산화막(70)을 형성한다. 상기 제1 산화막(70)의 높이가 도전층(64)보다 높게 형성한다. 상기 식각방지막(68)은 상기 제1 산화막을 습식식각하는 공정에서 도전층의 측면을 보호하는 역할도 한다.

<65> 도 9b를 참조하면, 제1 내지 제3 실시예의 방법으로 마스크층의 측면에 질화막 스페이서(72)를 형성하고, 결과물 전면을 덮는 제2 산화막(74)을 형성한 다음, 사진식각 공정을 실시하여 제2 산화막 및 제1 산화막을 이방성 식각한다. 다음에, SAC이 형성될 영역에 잔류하는 식각방지막용 질화막(68)을 건식식각으로 제거하여 반도체기판을 노출시키는 콘택홀을 형성한다.

<66> 도 10a 및 도 10b는 본 발명의 제5 실시예에 의한 자기정합 콘택을 갖는 반도체장치의 제조방법을 설명하기 위한 단면도들로서, 제4 실시예와 마찬가지로 패드 SAC 공정에 적용하는 경우를 제시한다.

<67> 도 10a를 참조하면, 반도체기판(82) 상에 도전층(84) 및 마스크층(86)으로 이루어진 도전층 패턴을 형성하고, 결과물을 덮는 50 ~ 200Å 정도 두께의 식각방지막(88)을 형성한다. 상기 식각방지막(88)은, 제4 실시예의 경우와 마찬가지로 후속되는 제1 산화막 습식식각시 도전층(84)의 침식을 방지하고, 콘택홀 형성을 위한 제1 산화막의 이방성 식각시 필드산화막을 보호하는 역할을 한다.

<68> 다음에, 산화막 증착 및 습식식각을 통해 도전층(84)의 높이보다 낮게 제1 산화막(90)을 형성한다.

<69> 도 10b를 참조하면, 스페이서(92) 형성, 제2 산화막(94) 증착 및 평탄화, 사진식각 공정 등을 차례로 진행하여 반도체기판을 노출시키는 자기정합 콘택홀을 형성한다.

<70> 본 발명의 제4 및 제5 실시예에 의하면, 패드 SAC 공정시 도전층 및 마스크층을 덮는 얇은 식각방지막을 형성한 다음 후속 공정을 진행하면, 제1 산화막에 대한 습식 또는

건식 식각시 도전층 또는 필드산화막이 침식되는 것을 방지하여 소자의 전기적 특성을 향상시킬 수 있다.

【발명의 효과】

<71> 상술한 본 발명에 의한 자기정합 콘택을 갖는 반도체장치 및 그 제조방법에 의하면, 도전층 패턴들 사이를 도전층 패턴의 일부가 드러나도록 산화막으로 매립한 다음, 노출된 도전층 패턴의 측면에 질화막 스페이서를 형성한다. 따라서, 도전층과 SAC 사이의 기생 캐패시턴스를 현저히 감소시킬 수 있고, 이로써 소자의 독출능력 및 소자의 동작속도를 현저히 증가시킬 수 있다. 또한, 산화막을 증착하여 도전층 패턴들 사이를 매립할 때, 보이드가 발생하지 않고 매립이 용이하게 이루어진다. 또한, 질화막 스페이서를 형성하기 전에 도전층 패턴의 측면에 식각방지막을 형성하거나, 노출된 도전층 패턴의 전면을 덮는 식각방지막을 형성하면, 후속되는 산화막 식각공정에서 필드산화막의 침식을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판 상에, 도전층 및 마스크층이 차례로 적층, 패터닝되어 형성된 도전층 패턴들;

상기 도전층 패턴들 사이를 매립하되, 상기 도전층 패턴의 일부를 노출시키도록 형성된 제1 절연막;

상기 제1 절연막에 의해 노출된 상기 도전층 패턴의 측면을 감싸는 스페이서 모양의 제2 절연막; 및

상기 제1 절연막을 관통하여 상기 도전층 패턴 사이의 반도체기판과 접속되고, 상기 제2 절연막에 자기정합된 콘택을 구비하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치.

【청구항 2】

제1항에 있어서,

상기 제1 절연막은 산화막으로 이루어진 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치.

【청구항 3】

제1항에 있어서,

상기 제2 절연막은 질화막으로 이루어진 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치.

【청구항 4】

제1항에 있어서, 상기 도전층 패턴과 상기 제1 및 제2 절연막 사이에,
상기 도전층의 식각을 방지하기 위한 제3 절연막을 더 구비하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치.

【청구항 5】

제4항에 있어서, 상기 제3 절연막은 50 ~ 200Å 정도 두께의 질화막으로 이루어진 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치.

【청구항 6】

제1항에 있어서, 상기 도전층 패턴은 비트라인(bit line)이고,
상기 콘택은 스토리지 전극과 반도체기판과 접속된 패드층, 또는 스토리지 전극과 반도체기판을 접속시키는 스토리지 노드 콘택인 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치.

【청구항 7】

제1항에 있어서, 상기 도전층 패턴은 게이트전극이고,
상기 콘택은 패드 도전층과 반도체기판을 접속시키는 패드 콘택인 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치.

【청구항 8】

제1항에 있어서, 상기 도전층 패턴과 상기 제1 및 제2 절연막 사이에,
상기 도전층 패턴을 감싸는 제4 절연막을 더 구비하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치.

【청구항 9】

제8항에 있어서, 상기 제4 절연막은,

50 ~ 200Å 정도 두께의 질화막으로 이루어진 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치.

【청구항 10】

(a) 반도체기판 상에, 도전층과 마스크층이 적층된 라인/스페이스 형태의 도전층 패턴을 형성하는 단계;

(b) 결과물 상에 제1 절연막을 증착하여 상기 도전층 패턴들 사이를 매립하는 단계;

(c) 상기 제1 절연막을 에치백하여 상기 마스크층의 일부를 노출시키는 단계;

(d) 상기 노출된 마스크층의 측면에 제2 절연막으로 이루어진 스페이서를 형성하는 단계;

(e) 결과물을 덮는 평탄한 제3 절연막을 형성하는 단계;

(f) 상기 제3 절연막 및 제1 절연막을 차례로 이방성 식각하여 상기 반도체기판의 일부를 노출시키는 콘택홀을 형성하는 단계; 및

(g) 상기 콘택홀내에 매립되고 상기 제2 절연막에 자기정합되며 상기 반도체기판과 접속된 콘택을 형성하는 단계를 포함하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

【청구항 11】

제10항에 있어서, 상기 (c) 단계에서,

상기 마스크층의 일부가 노출되도록 상기 제1 절연막을 에치백하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

【청구항 12】

제10항에 있어서, 상기 (c) 단계에서,

상기 도전층의 상부가 노출되도록 상기 제1 절연막을 에치백하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

【청구항 13】

제10항에 있어서, 상기 (b) 단계 후에, 상기 제1 절연막의 표면을 평탄화하는 단계를 더 구비하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

【청구항 14】

제10항에 있어서, 상기 제1 절연막은,

산화막으로 형성하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

【청구항 15】

제10항에 있어서, 상기 제2 절연막은,

절화막으로 형성하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

【청구항 16】

제10항에 있어서, 상기 (b) 단계 전에,

상기 도전층 패턴의 측면에, 상기 제1 절연막을 에치백하는 단계에서 상기 도전층

패턴의 식각을 방지하기 위한 제1 식각방지막을 형성하는 단계를 더 구비하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

【청구항 17】

제16항에 있어서, 상기 제1 식각방지막을 형성하는 단계는,

결과물 상에 제4 절연막을 증착하는 단계; 및

상기 제4 절연막을 이방성식각하여 상기 도전층 패턴의 측면에 스페이서 형태의 제1 식각방지막을 형성하는 단계로 이루어지는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

【청구항 18】

제16항에 있어서, 상기 제1 식각방지막은,

질화막을 사용하여 50 ~ 200Å 정도의 두께로 형성하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

【청구항 19】

제10항에 있어서, 상기 도전층은 비트라인인 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

【청구항 20】

제10항에 있어서, 상기 도전층은 게이트전극인 것을 특징으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

【청구항 21】

제20항에 있어서, 상기 (b) 단계 전에, 도전층 패턴이 형성된 결과물을 덮는 제2
【청구항 21】
식각방지막을 형성하는 단계를 더 구비하고,

상기 (g) 단계에서, 상기 제3 및 제1 절연막을 식각한 후에, 노출된 상기 제2 식각
방지막을 제거하는 단계를 더 구비하는 것을 특징으로 하는 자기정합 콘택을 갖는 반도체
장치 제조방법.

【청구항 22】

제21항에 있어서, 상기 제2 식각방지막을 형성하는 단계 전에,

상기 도전층 패턴의 측면에, 상기 제1 절연막을 에치백하는 단계에서 상기 도전층
패턴의 식각을 방지하기 위한 제3 식각방지막을 형성하는 단계를 더 구비하는 것을 특징
으로 하는 자기정합 콘택을 갖는 반도체 장치의 제조방법.

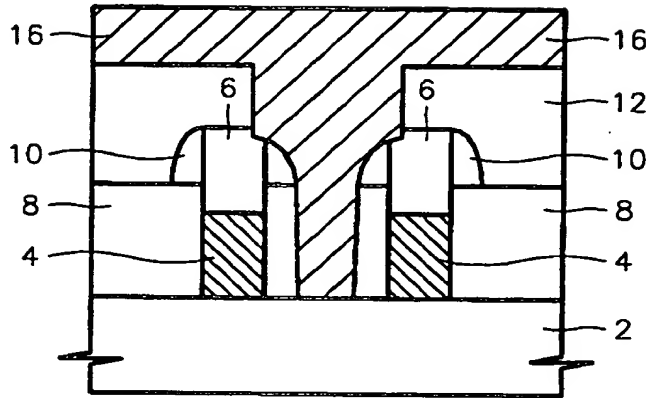
【청구항 23】

제22항에 있어서, 상기 제3 식각방지막은,

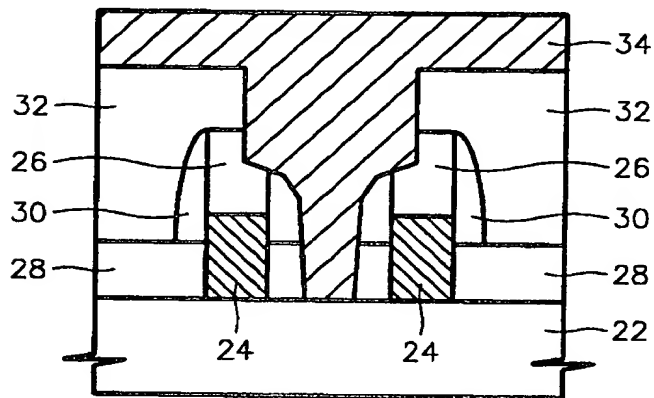
질화막을 사용하여 50 ~ 200 Å 정도의 두께로 형성하는 것을 특징으로 하는 자기
정합 콘택을 갖는 반도체 장치의 제조방법.

【도면】

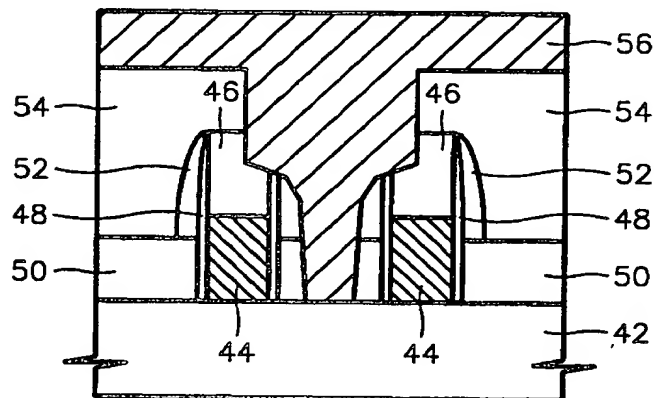
【도 1】



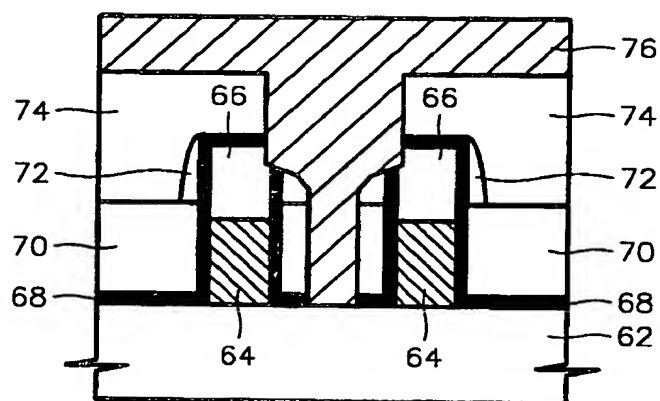
【도 2】



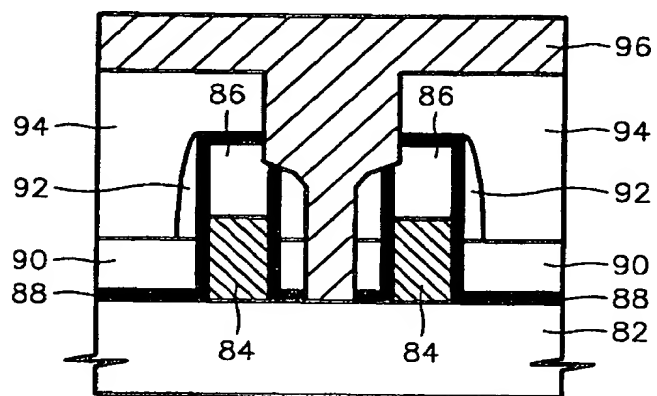
【도 3】



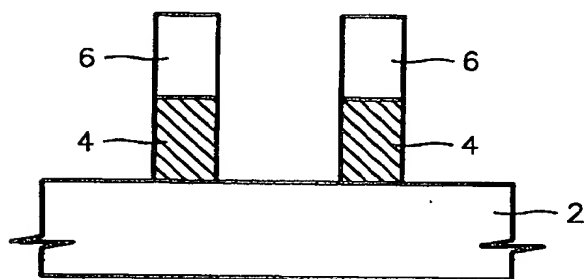
【도 4】



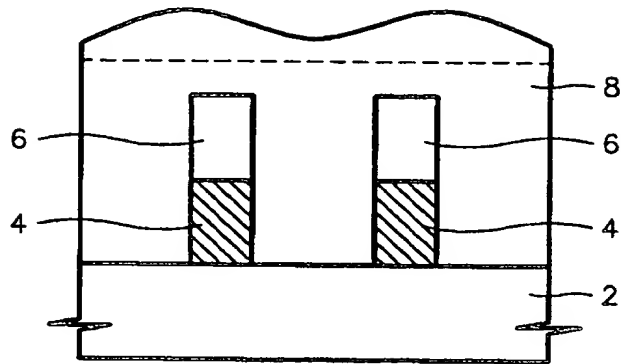
【도 5】



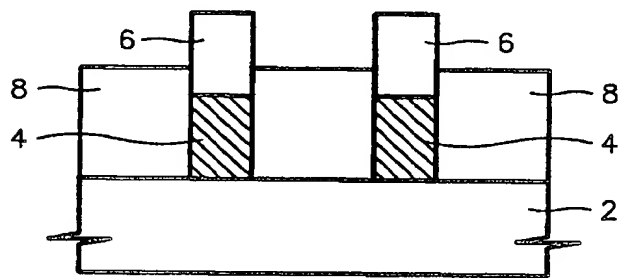
【도 6a】



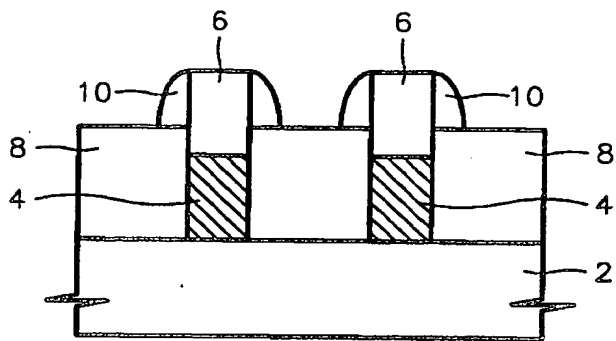
【도 6b】



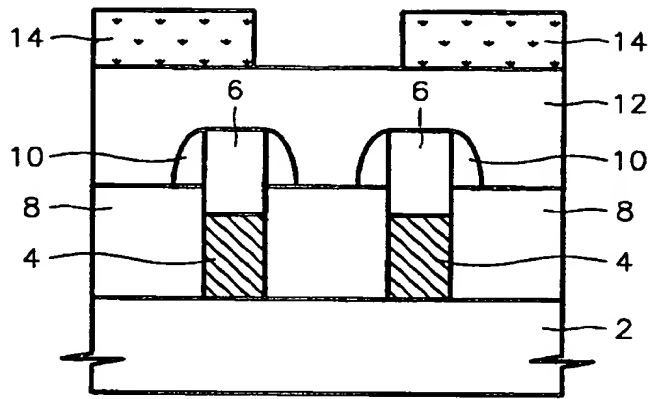
【도 6c】



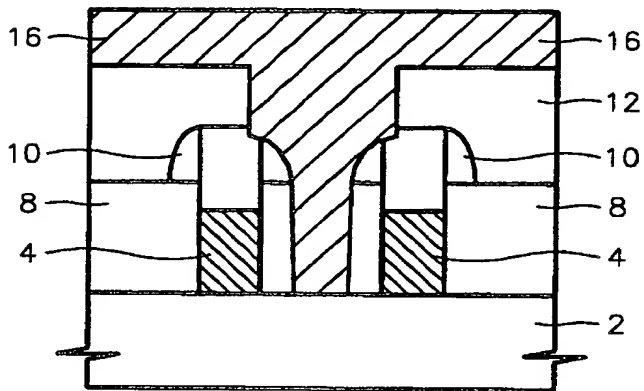
【도 6d】



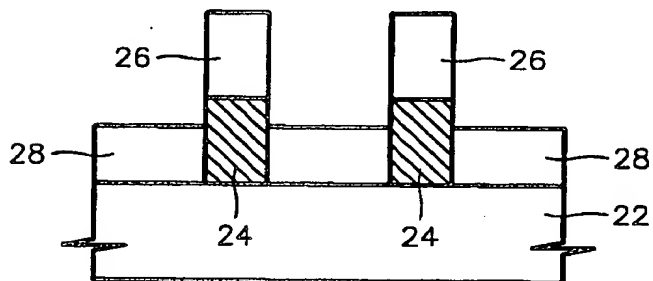
【도 6e】



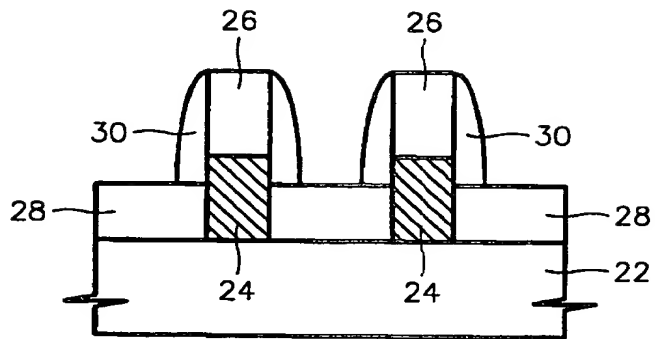
【도 6f】



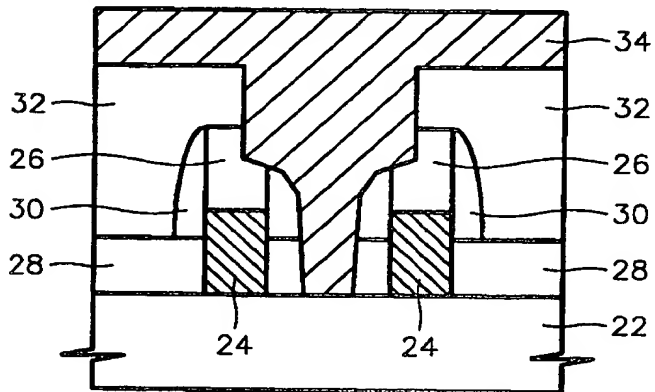
【도 7a】



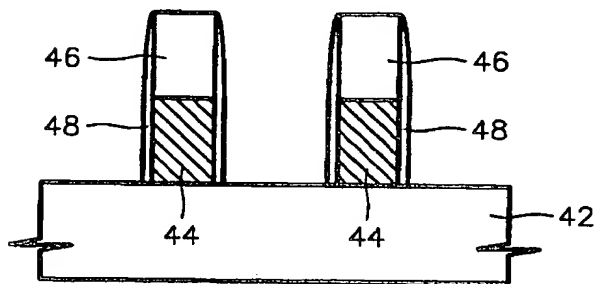
【도 7b】



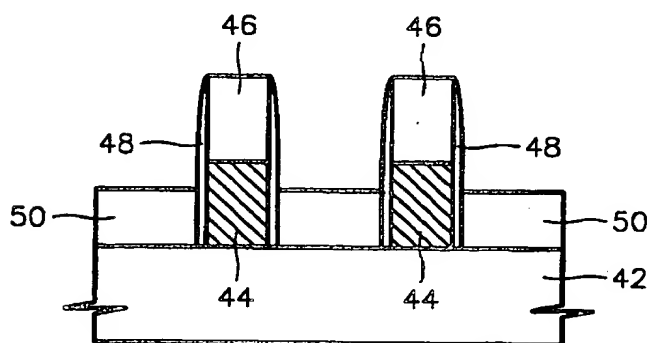
【도 7c】



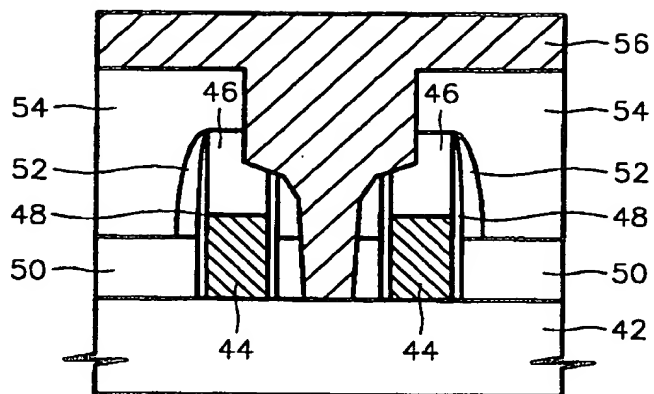
【도 8a】



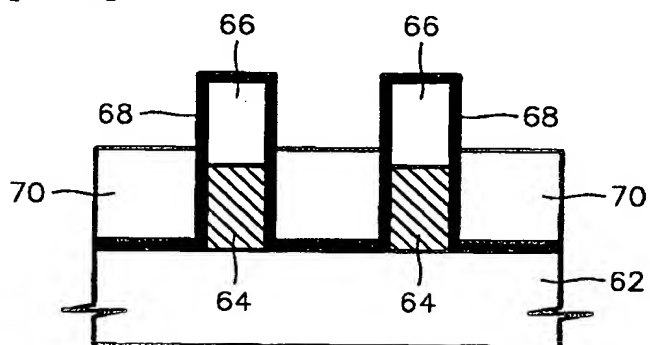
【도 8b】



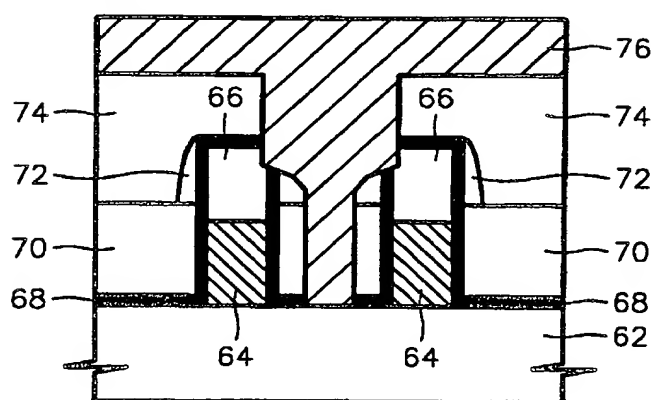
【도 8c】



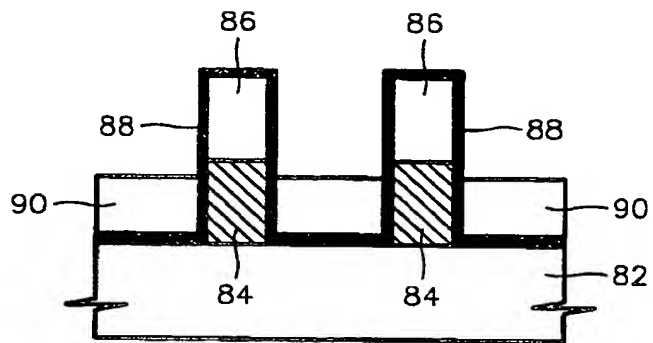
【도 9a】



【도 9b】



【도 10a】



【도 10b】

